**实验三 组合逻辑电路的设计（编码器和译码器）**

1. **实验目的**

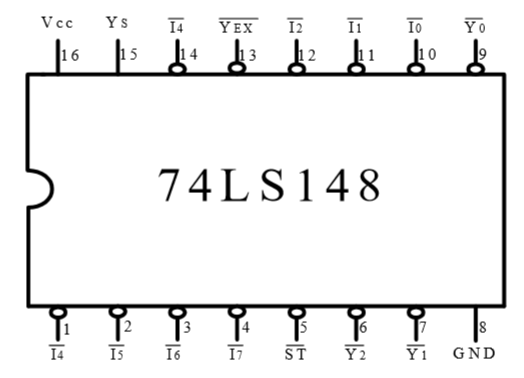
1. 熟悉各种常用MSI组合逻辑电路的功能与使用方法。

2. 掌握多片MSI组合逻辑电路的级联、功能扩展。

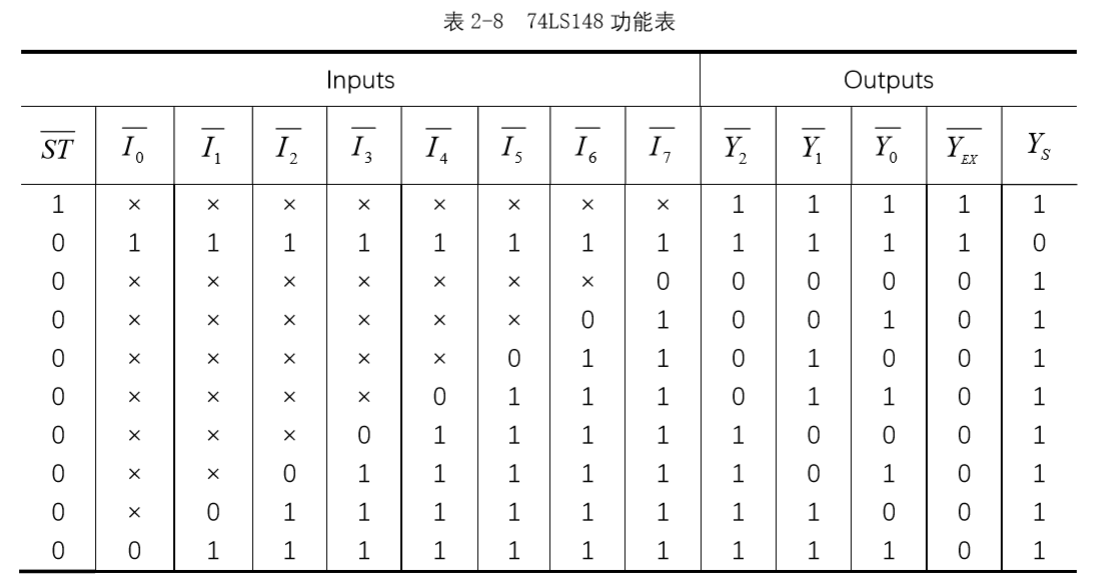
3. 掌握用编码器、译码器设计组合逻辑电路的方法。

4. 培养查找和排除数字电路常见故障的初步能力。

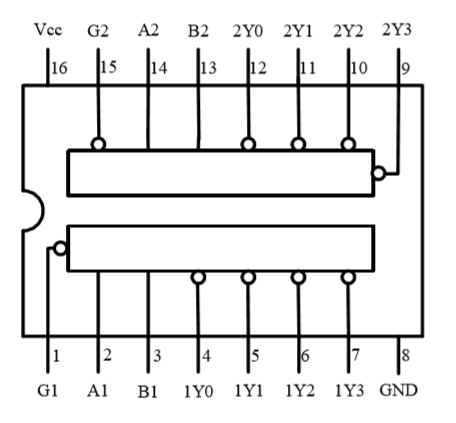
1. **芯片列表**
2. 74LS00 2. 74LS20 3. 74LS148 4. 74LS139
3. **实验原理**
4. 74LS138的引脚图



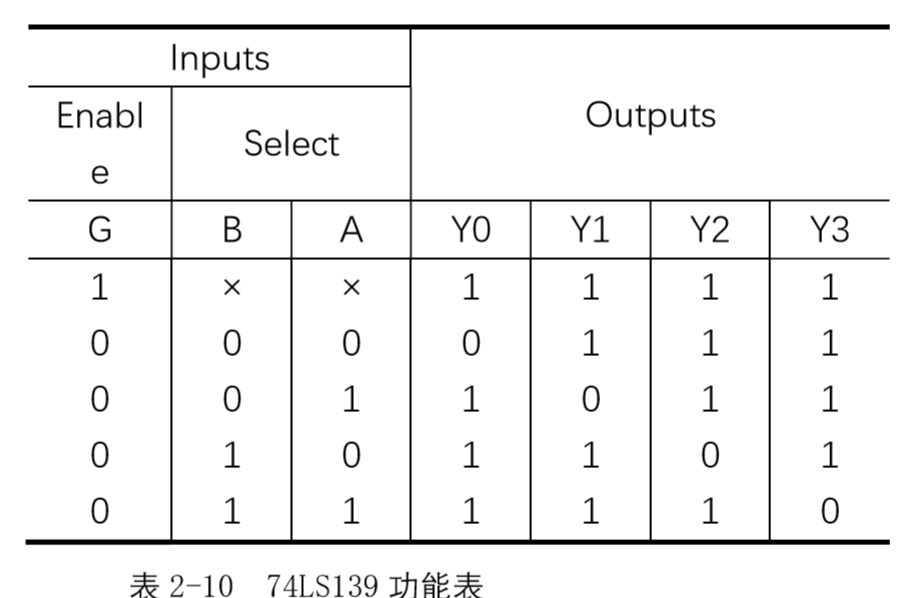
1. 74LS138的功能表



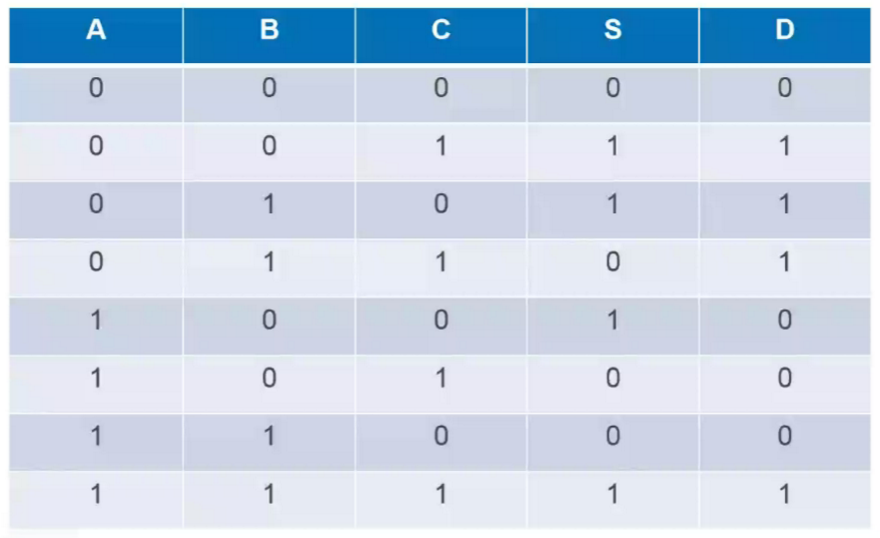
1. 74LS139的引脚图



1. 74LS139的功能表



1. 用74LS138实现一位全减器
2. 定义输入A为被减数，B为减数，C为低位向本位的借位。定义输出S为全减差，D为本位向高位的借位。
3. 全减器真值表

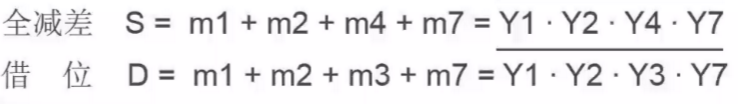


1. 根据真值表写出全减器逻辑表达式

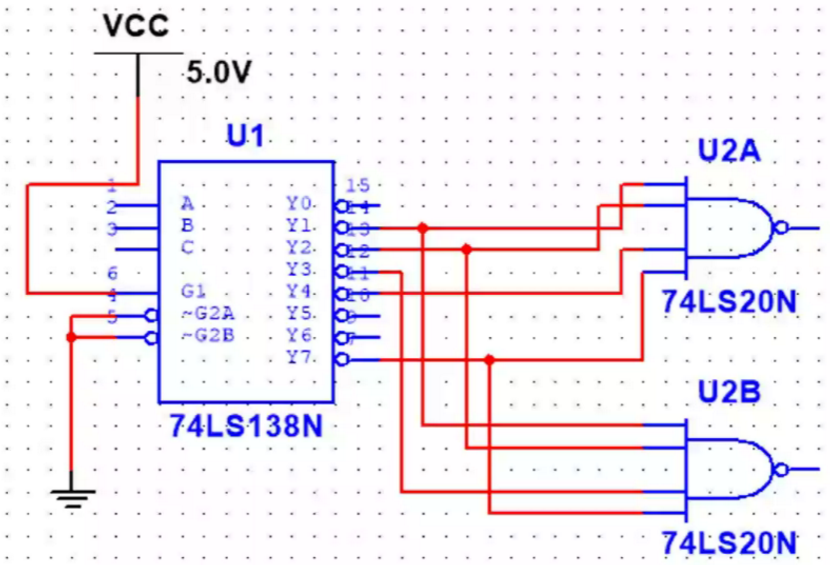
全减差 S=m1+m2+m4+m7

错位 D=m1+m2+m3+m7

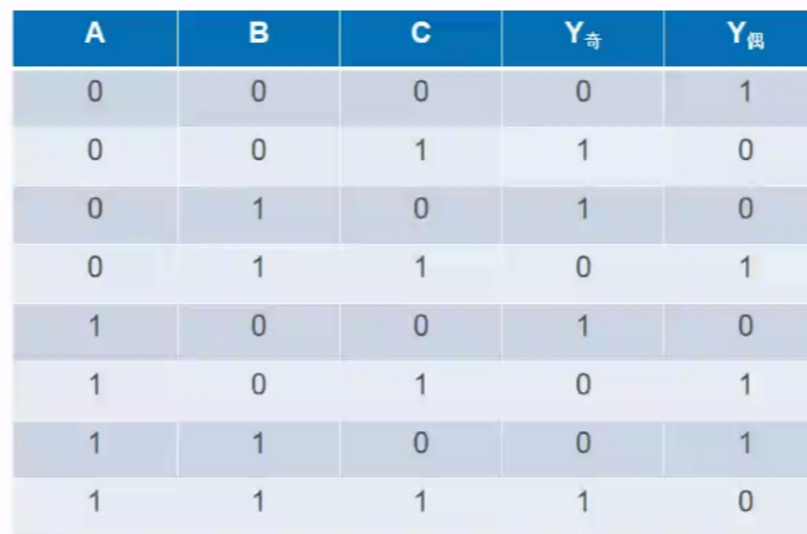
1. 对全减器逻辑表达式进行逻辑变换



1. 画出仿真电路图



1. 用74LS139实现奇偶校验电路（三输入端二输出端）
2. 定义输入A，B，C。定义奇数输出Yodd，偶数输出Yeven。
3. 奇偶校验电路真值表

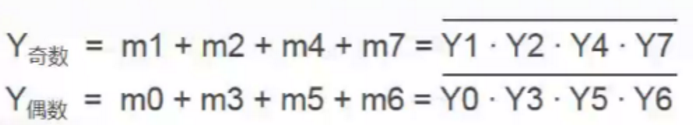


1. 根据真值表写出奇偶校验电路逻辑表达式

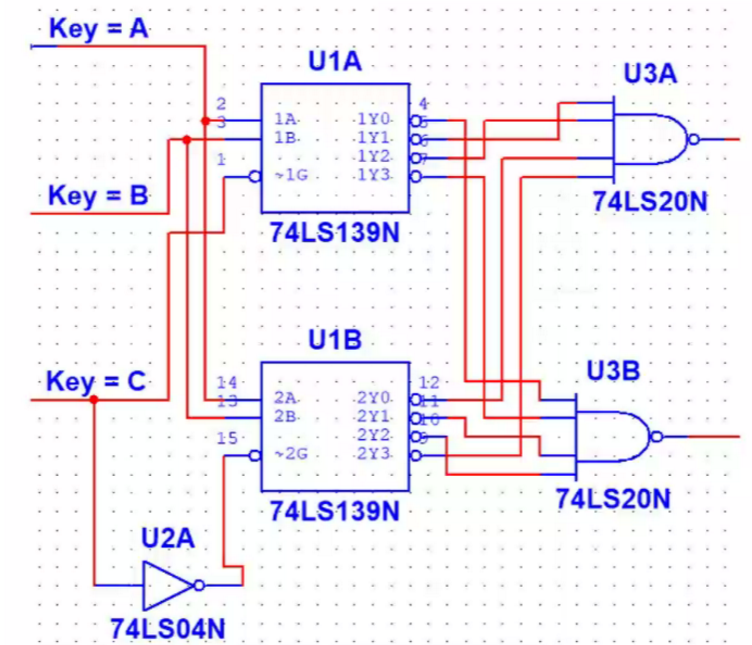
Y奇数=m1+m2+m4+m7

Y偶数=m0+m3+m5+m6

1. 对奇偶校验电路逻辑表达式进行逻辑变换

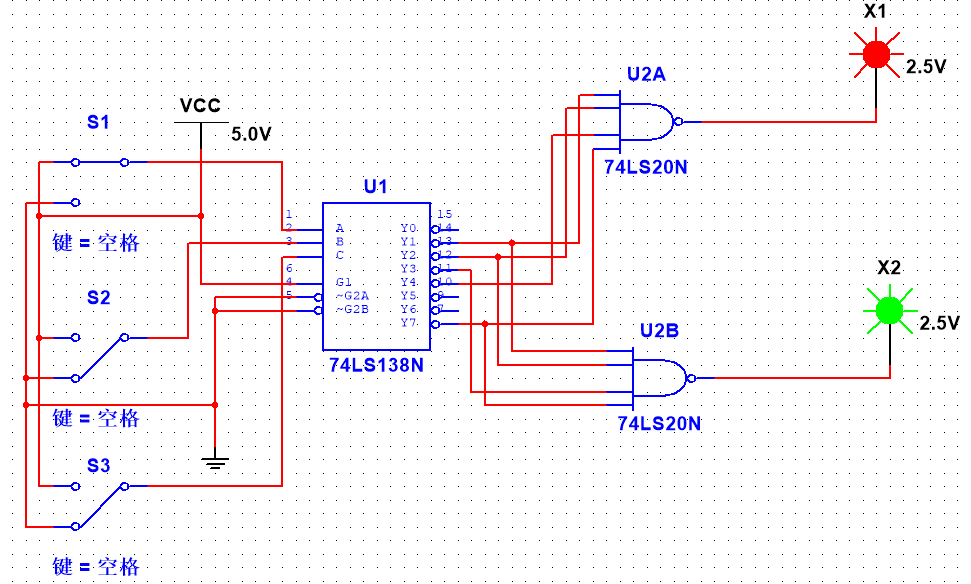


1. 画出仿真电路图



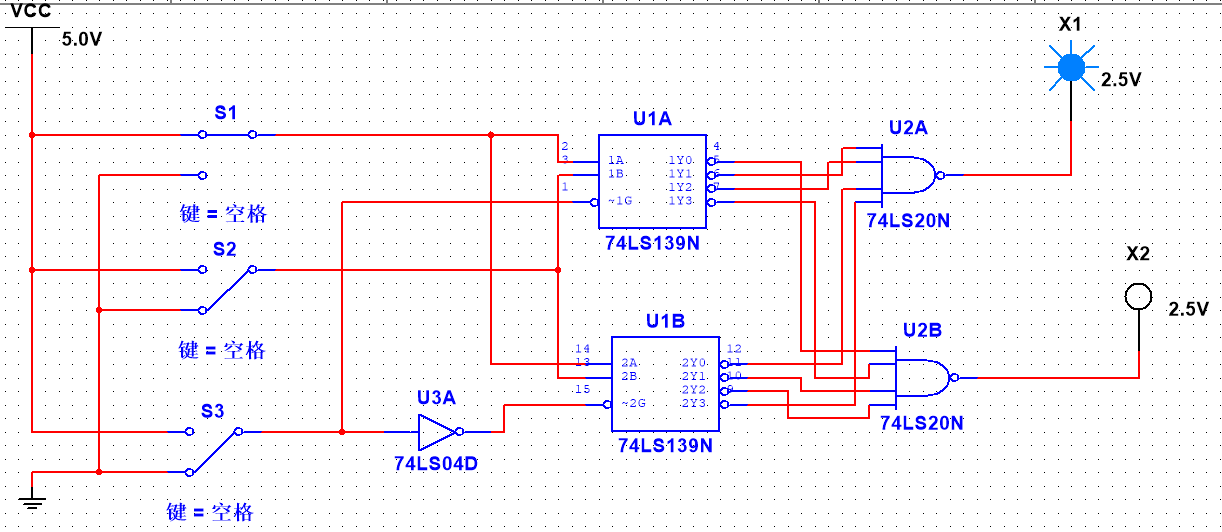
1. **实验结果**
2. 验证仿真结果符合全减器真值表

运行结果截图（输入为学号后两位除以8取余的结果，例如学号后两位33除以8取余为1，则截图输入为001的结果）

输入100：

1. 验证仿真结果符合奇偶校验电路真值表

运行结果截图（输入为学号后两位除以8取余的结果，例如学号后两位33除以8取余为1，则截图输入为001的结果）

输入100：

1. **实验总结**

感觉这次的实验比较复杂，在连线的时候连错好几次，得不到理想的答案，但是看了老师的讲解也很快能明白自己出错的地方。也加深了我对全加器、全减器、奇偶校验电路的理解，和数电理论课上的知识有了联系。